

M314-US

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-292820

(43)公開日 平成8年(1996)11月5日

(51) Int.Cl.
G 0 6 F 1/04
H 0 3 C 3/00
H 0 3 K 3/84

識別記号 庁内整理番号

F I
G 0 6 F 1/04
H 0 3 C 3/00
H 0 3 K 3/84

技術表示箇所

A
A
Z

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願平7-313191
(22)出願日 平成7年(1995)11月30日
(31)優先権主張番号 P 4 4 4 2 4 0 3. 5
(32)優先日 1994年11月30日
(33)優先権主張国 ドイツ (DE)

(71)出願人 591064140
ドイチェ・アイテ一ティー・インダスト
リーズ・ゲゼルシャフト・ミト・ベシュレ
ンクタ・ハフツenk
DEUTSCHE ITT INDUST
RIES GESELLSCHAFT M
IT BESCHRANKTER HAF
TUNG
ドイツ連邦共和国、デー - 79108 フ
ライブルク・イム・ブライスガウ、ハンス
- ブンテ - シュトラーセ 19
(74)代理人 弁理士 鈴江 武彦

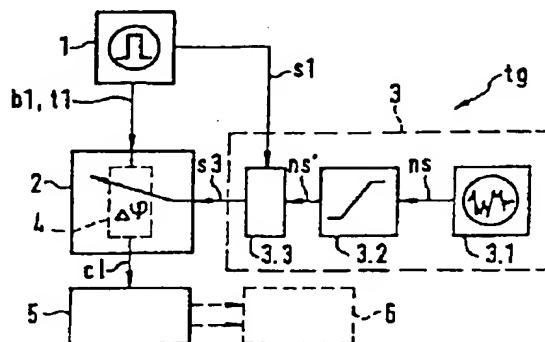
最終頁に続く

(54)【発明の名称】電磁干渉を殆ど生じないシステムクロックを発生するクロック発生器

(57)【要約】

【課題】 本発明は、システムクロックが、近接する電子装置に殆ど電磁干渉を生成させないように多くのスペクトルラインに可能な限り均等に分配されたシステムクロックを発生するクロック発生器を提供することを目的とする。

【解決手段】 クロック発生器1が信号源3によって制御される位相変調装置2によって安定した位相および周波数の基準クロックb1を定める基本クロックt1を基準クロックb1に対して変調してシステムクロックc1を生成し、信号源3はランダム信号発生器3.1を備え、システムクロックc1の位相が基準クロックb1と異っており($\Delta\phi$)、その異なる量の最大量は基準クロックb1の周期Tの2分の1よりも小さく、位相差の統計的分布が連続的であるか、または基準クロックの周期Tの10分の1よりも小さいステップを有していることを特徴とする。



1

【特許請求の範囲】

【請求項1】 システムクロックが、近接する電子装置にはほとんど電磁干渉を生成させないように、クロック発生器が信号源によって制御される位相変調装置によって安定した位相および周波数の基準クロックを定める基本クロックを基準クロックに対して変調するクロック制御される電子装置のための安定した周波数のシステムクロックを発生するクロック発生器において、

信号源がランダム信号発生器を具備し、

システムクロックの位相が基準クロックと異っており、その異なる量の最大量は基準クロックの周期の値の2分の1よりも小さく、位相差の統計的分布が連続的であるか、または基準クロックの周期の10分の1よりも微細な構造を有していることを特徴とするクロック発生器。

【請求項2】 位相変調装置が量子化された位相差を形成し、その微細な構造が位相差形成の最小量子化ステップによって定められる請求項1記載のクロック発生器。

【請求項3】 ランダム信号発生器が制御信号として位相変調装置に供給されるディスクリートなランダム値を生成する請求項2記載のクロック発生器。

【請求項4】 位相変調装置が可変遅延装置を具備し、その制御入力がランダム信号源の出力に結合されている請求項1乃至3の何れか1項記載のクロック発生器。

【請求項5】 ランダム信号発生器が、偽似ランダムシーケンスを生成し、その回帰期間が基準クロックの期間の10倍以上の長さである請求項3または4記載のクロック発生器。

【請求項6】 位相変調装置がタップを有する遅延ネットワークおよびタップに接続されたスイッチング装置を具備し、遅延ネットワークが等しいおよび/あるいは等しくない遅延を与える遅延段から構成され、各スイッチ位置、従って遅延ネットワークの瞬間的遅延がランダム値によって制御される請求項4または5記載のクロック発生器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特に自動車において、少なくともクロック制御された電子装置のための安定した周波数のシステムクロックを発生するためのクロック発生器に関する。

【0002】

【従来の技術】 システムクロックは、システムクロックが、近接する電子装置にはほとんど電磁干渉を生成させないようにクロック発生器が信号源によって制御される位相変調装置によって安定した位相および周波数の基準クロックを定める基本クロックを基準クロックに対して変調するクロック制御される電子装置のための安定した周波数のシステムクロックを発生するクロック発生器において、信号源によって制御される位相変調装置によって

2

基準クロックに対して変調されるので、隣接する電子装置に対して電磁干渉を殆ど生じない。

【0003】 種々の機能の表示或いは制御のための種々の応用の分野、特に自動車において、デジタルの、一般的にクロック制御された信号処理装置の使用が増加し、そのために個々のクロック制御された装置が接続された集中型或いは分散型のクロックシステムが要求される。その結果、干渉信号が、広い周波数範囲において、直接に、或いは接続された電源または信号ラインを介して生成される。干渉信号は、電磁干渉フィールドを介して、それに加えて比較的高い抵抗の供給ネットワークを介して隣接する電子装置或いは設備へ伝播し、そのような装置或いは設備の動作を妨害する。この妨害は、アナログの部分的回路或いはアナログ信号に影響を及ぼす場合、特に妨害となる。自動車においては、音響装置（放送受信器、自動車無線装置、カセットプレーヤ）が特に影響を受けるが、干渉はアナログセンサに対しても影響する可能性がある。

【0004】 クロック誘導干渉は、システムクロックの一方の或いは両方のパルス縁部にロックされるクロック制御された装置における電流ピークによって発生する。これらの電流ピークは、非常に多くのスイッチング段の作動、例えばMOS回路におけるゲートキャパシタンスの充電或いは放電によって生成される。クロック周波数が一層高くなると、内部のスイッチング動作が一層速くならざるを得なくなり、電流ピークは一層高くなるであろう。特に関係するクロック制御された装置或いはプロセッサがCMOS技術において構成されている場合、作動されるスイッチ段の数、従って電流ピークの高さは回路の複雑さの増加に伴って増加する。外部ブロックキャパシタによる非常に狭い負荷電流パルスのパッファは、コストのためにおよび集積回路用の普通のパッケージの設計のために部分的にしか可能ではない。そのようなブロックキャパシタに関して、干渉信号の高周波数素子を抑制することは殆ど不可能である。

【0005】 隣接する電磁装置への干渉を少なくするためにクロックシステムを変形する幾つかの方法が当業者には知られている。受動遮蔽或いはクロックパルスの縁部の勾配を緩和することに関する方法は、本発明の一部分を構成するものではなく、それと有効に結合して、干渉を一層抑制することができる。本発明は、ディスクリートなスペクトル線およびその高調波の干渉信号のエネルギー含有量を集中しないで、一層広い周波数範囲に可能な限り均等にエネルギー含有量を分配するクロック周波数の変調に関する。時間の平均に関して、クロック周波数は、基準クロックの固定周波数から外れない。

【0006】 ドイツ特許公報DE-A-41 42 563号明細書（ITT整理番号C-DIT-1430）は、位相/周波数変調装置によってシステムクロックを変調する本発明の前提概念を示すものである。

【0007】 本発明は、位相/周波数変調装置によってシステムクロックを変調する本発明の前提概念を示すものである。

【0008】 本発明は、位相/周波数変調装置によってシステムクロックを変調する本発明の前提概念を示すものである。

VCO制御電圧を変調する電子的に制御される漏洩電流路であり、制御された漏洩電流は鋸歯形、三角形、正弦波形、或いはその他の形の波形を有する。位相或いは周波数変調が行われるか否かは、位相ロックループの設計および漏洩電流の最大振幅によって決まる。

【0007】DE-A-38 02 863号明細書において、クロック誘導干渉は、システムクロックの純粋な周波数変調によって減少され、干渉が抑制される周波数範囲に関する特別の注意が各変調周波数および各周波数偏差に向けられる。

【0008】DE-A-44 23 074号明細書（ITT整理番号C-DIT-1666）において、クロック誘導干渉効果は、周波数の安定しているクロック信号を得るために周波数分離器による複数の分離比の間でクロック発生器からの出力信号を切換えることによって減少される。周波数分離器のスイッチは、偽似ランダム数発生器によって行なわれる。

【0009】米国特許第4,023,116号明細書は、周波数合成システムを開示し、その出力クロックは位相ロックループを介して基準クロックにロックされる。位相の比較が基準クロックのパルス縁部の期間でのみ可能であるので、パルス縁部間の時間間隔は、“デッドバンド”として位相／周波数制御に作用する。デッドバンド期間中、周波数合成システムは調整されていないので、小さい未調整の変化が、望ましくない位相差として出力信号の期間中に発生する可能性がある。デッドバンドは適切な回路によって消去され、合成された出力信号の周波数ジッタを減少させる。

【0010】

【発明が解決しようとする課題】従来の技術のクロック発生器は、そのエネルギー内量を別のスペクトル光に分配することによって干渉スペクトルの主スペクトルラインを減少させる方法を使用する。しかしながら、発明者は生成された信号スペクトルを分析し、説明された方法によって達成された不適切な干渉抑制の原因を発見したが、それは個々のスペクトルラインが残りのスペクトルラインよりもかなり大きい振幅を有するのを阻止することができないので、干渉抑制は限定される。これらのスペクトルラインは、変調信号それ自身において、例えば三角形或いは鋸歯状波の変調の場合において周期的な信号要素によって、或いは例えば偽似ランダムシーケンスのような周期的でないが、追加のスペクトルラインの数が少なすぎ且つその位置が好ましくない変調要素によって作られる。

【0011】従って、本発明の目的は、その干渉スペクトルおよび放射エネルギーが殆ど電磁干渉を起こさないように、多くのスペクトルラインに可能な限り均等に分配されたシステムクロックを発生する改良されたクロック発生器を提供することである。

【0012】

【課題を解決するための手段】この目的は、本発明のクロック発生器によって達成される。本発明は、システムクロックが、近接する電子装置にほとんど電磁干渉を生成させないようにクロック発生器が信号源によって制御される位相変調装置によって安定した位相および周波数の基準クロックを定める基本クロックを基準クロックに対して変調するクロック制御される電子装置のための安定した周波数のシステムクロックを発生するクロック発生器において、信号源がランダム信号発生器を具備し、システムクロックの位相が基準クロックと異っており、その異なる量の最大量は基準クロックの周期の値の2分の1よりも小さく、位相差の統計的分布が連続的であるか、または基準クロックの周期の10分の1よりも微細な構造を有していることを特徴とする。本発明の実施態様は請求項2以下に記載されている。

【0013】

【発明の実施の形態】以下、本発明、およびその別の特徴を添付の図面を参照してより詳細に説明する。図1のクロック発生器は、位相変調装置によって本発明を実施するために必要とされる全ての回路要素を具備する。フーリエ成分に関する電流パルス（＝電流スパイクシーケンス）i1, i2（図2参照）の2つのシーケンスの信号スペクトルを分析すると、生成スペクトルに対して以下の相互依存性が得られる。簡単に言えば、個々の電流パルスi1およびi2は非常に狭く、それらの干渉スペクトルが関係する基準クロックb1の周波数よりも少なくとも10倍大きい周波数範囲に亘るものと仮定される。位相をロックされたパルスシーケンスi1のスペクトルは、よく知られているように、基準クロックb1の高調波を含み、個々の振幅は周波数と共にほんの僅かに減少する。位相変調された電流パルスi2のスペクトルは異なる。すなわち以下の3つの主要な相互依存性がそれに影響を及ぼす。

【0014】1. 全ての存在する遅延 Δt の逆遅延の最小公倍数は、全スペクトルが回帰する周波数の値を決定する。そのような公倍数が無いならば、それはスペクトルが全く回帰しない理想的な場合に相当する。この状態はランダム信号源3.1によってのみ近似的に可能であり、ランダム信号源3.1の出力信号nは無限に細かい時間分解能で位相変調装置2を制御するアナログの周期的雑音信号である。しかしながら、実際的な応用において、それはスペクトルが十分に高い周波数fからのみ回帰する、或いは反射されるならば十分である。この周波数の逆数 $1/f$ は、全ての位相シフトに対する関係する最小の量子化ステップを表す時間間隔 $\Delta t = 1/f$ を与える。この時間間隔 Δt は、例えば図3或いは図4に示される遅延ネットワークのスイッチされた遅延装置40或いは45によって特に容易に実現される。 Δt が数ナノ秒の範囲であるならば、スペクトルは、理論的にはたつた数百メガヘルツ後に回帰するであろう。しかしながら

ら、原則として電流パルスの縁部はこれ程十分に急峻ではないので、干渉スペクトルはこれらの周波数において最早存在しない。基準期間 T の標準化の後で、時間間隔 Δt は位相差 $\Delta \phi$ に相当する。

【0015】2. 基準クロック b_1 の期間 T に対する最長の遅延 $T_g/2$ の比は、別々のスペクトルラインとして均一の雑音から目立たなくなり、最早識別不可能になるまでに、スペクトルの高調波がどの程度減衰されるかを決定する。

【0016】3. 回帰しないランダムシーケンスの長さは、個々のスペクトルラインがどの程度近接した間隔を有しているかを決定する。デジタルのランダム信号発生器の場合によくあることだが、ランダムシーケンスが定められた回帰速度を有するならば、それは偽ランダムシーケンスである。他方で、偽ランダム数の回帰の時間的長さ T_n は、デジタルのランダム数発生器の構成によって予め任意に設定することができるので、スペクトルラインの密度も任意に予め設定可能である。冒頭で説明されたように、干渉エネルギーが分配されたスペクトルラインの数は、何本のスペクトルラインが存在するかによって決まる。スペクトルラインの十分な密度は、ほぼ基準クロック期間 T の10分の1よりも細かい構造で始まる。

【0017】以下の実施例でこれを説明する。クロック発生器は5MHzの方形波信号を供給する。正および負へ向うパルス縁部は各々、電流パルスをトリガし、その結果電流パルスは10MHzの周波数で発生する。位相シフトは連鎖遅延装置によって生成され、それは各々がクロックパルスを $2n$ s遅延する15個の遅延段から構成される。適切なランダム数発生器は、 $T_n = 256T$ の周期で周期的に回帰する256の値でランダムシーケンスを発生する。ランダムシーケンスは、表から読み取られるかあるいは偽ランダム数発生器によって発生することができる。例は、約40kHzのスペースを有するスペクトルラインの密度が生じる。ランダムシーケンスが長さが10倍であるならば、個々のスペクトルラインは約4kHzだけ離されるであろう。

【0018】これらの考察は、図1、3、および4に示されるクロック発生器 t_g の重要な部分的回路へ導く。各クロック発生器は、関係した電流パルス i_1 のシーケンスを介して基準クロック b_1 を決定する基本クロック t_1 を発生するためのクロック源1を具備する。各クロック発生器 t_g において、基本クロック t_1 は、望ましいシステムクロック c_1 を発生するために位相変調装置2、20、25によって変調され、位相変調装置2、20、25は信号源3、30によって制御される。システムクロック c_1 は、少なくとも1つのクロック制御された電子装置5、例えばプロセッサに供給され、その電流パルス i_2 は、隣接する電子装置6の動作を妨害する可能性がある。

【0019】図1の位相変調装置2は、制御信号 s_3 の値に応じて異なる時間間隔によって基本クロック t_1 を遅延する可変遅延装置4を具備する。可変遅延装置4は、例えば直列に接続されたインバータで構成されるアナログ連鎖遅延装置でなく、その遅延は制御信号 s_3 によって決まる。基準クロック期間 T 中における制御信号 s_3 における変化を避けるために、制御信号はサンプルおよび保持回路3、3によって保持される。この回路への制御信号 s_1 は、クロック源1からの基本信号 t_1 またはそれにロックされた信号の何れかである。信号源3におけるランダム信号発生器3、1は、その出力において雑音信号 n_s を供給し、その振幅はリミタ3、2によって制限される。リミタの出力はフィルタ処理された雑音信号 n_s' であり、それはサンプルおよび保持回路3、3の入力へ供給される。ランダム信号発生器3、1が、それ自身出力振幅において制限されないならば、これによって位相差が大きくなり過ぎる可能性があるので、リミタ3、2は必要である。従って上で説明された第2の条件から、これは基準クロック b_1 の高調波がどの程度減衰されるかを決定するので、最長の遅延 $T_g/2$ は基準クロック b_1 の周期 T に対して所定の関係を有さなければならないことが分かる。従ってこの考察から、位相差の最大値 $T_g/2$ は、基準クロック b_1 の周期 T の所定の値を超過してはならないことになる。原則として、この値は周期 T の2%乃至20%の範囲にあるが、 $T/2$ を超えてはならない。図3および4は、それぞれ可変の遅延装置40および45の回路図であり、それはそれぞれ等しいかまたは等しくないが固定した遅延 Δt_1 、 Δt_2 、 Δt_3 、…、 Δt_n 、および Δt を与えるデジタル制御の遅延段4、1、4、2、4、3、…、4、n、および4dから構成される。各遅延段は、個々の連鎖遅延装置で構成されてもよい。

【0020】図2は、複数の周期 T に亘る幾つかの信号の型態を示す。第1の行はクロック源1からの方形波の基本クロック t_1 を示す。電流パルス t_1 は、電子装置5において基本クロック t_1 の各々正へ向う縁部と負へ向う縁部においてトリガされるので、基本クロック t_1 の周波数の2倍の基準クロック b_1 が干渉パルスのスペクトルに対して得られる。第4の行において、位相変調された電流パルス i_2 が生じる時間ウインドウ T_g が各基準クロック期間 T に対して示される。時間ウインドウ T_g の値の2分の1は、システムクロック c_1 と基準クロック b_1 との間の最大位相差に対応する。電流パルスの継続時間は位相変調によって変化されない。

【0021】図3において、位相変調装置20は、量子化された位相差 Δt_1 、 Δt_2 、 Δt_3 、…、 Δt_n を生成し、その繊細な構造は、可能な位相差の最小の量子化ステップに依存する。従って、位相変調装置20はそれぞれの位相差ステップ Δt の数によって異なる所定数の位相差のみを生成することができるので、それはデジタル

で動作する。位相差ステップ Δt は、例えば、単一のインバータ段或いは、信号の反転を避けるために、直列に接続されたインバータ段から構成される連鎖遅延装置の部分を形成する二重インバータ段を通る伝播遅延によって形成されることができる。よく知られているように、そのようなインバータ段を通る伝播遅延は分流電流を経由して広い範囲内で設定することができ、製造プロセスの或いは温度によって誘導された遅延の偏差は、制御回路によって補償されることができる。各遅延はデジタルで制御されるスイッチ装置50によって選択され、その信号入力は遅延段4. 1、4. 2、4. 3、…、4. nの各1つに接続される。デジタル制御信号s 4に応答して、スイッチ装置50の入力の各々は、システムクロックc 1を供給するための出力に接続される。デジタル制御信号s 4は、別々のランダム値を与えるランダム信号源30によって形成される。原則として、ランダム値は、例えば上で説明されたDE-A-44 23 074号明細書において説明されるように偽ランダム数発生器からの偽ランダムシーケンスによって形成される。しかしながら、ランダム数発生器30によって読み取られる表として偽ランダムシーケンスを記憶することもできる。偽ランダムシーケンスの回帰速度は、偽ランダム数発生器において表の長さによって、或いは位相レジスタ段の数によって任意に予め決定することができる。図3において、ランダム数発生器30は基準クロックb 1によって制御され、それはクロック速度倍増回路1. 1によって基本クロック速度t 1を2倍にすることによって獲得される。

【0022】図4は、特に構成が容易な遅延ネットワーク45を有するクロック発生器t gを示す。遅延ネットワークは、均等な遅延 Δt を与える予め決められた数の直列の遅延段4 dから構成されている。各2つの遅延段の間の各タップは、電子スイッチング装置55の関係する入力に接続されている。連鎖遅延装置の最初と最後も、スイッチング装置55の入力に接続される。各遅延段4 dは、偶数がクロック信号の反転を妨げるのに役立つので、偶数の、特に2個の直列に接続されたインバータを具備する。遅延段4 dは1つのユニットにおいて有効に結合できる均等な領域の回路構造であるので、インバータの連鎖体としての遅延装置の設計は、半導体チップ上の回路のレイアウトに特に有効である。スイッチング装置55の個々のトランジスタは、短い信号ラインによって連鎖遅延装置のタップに接続できる。半導体表面上の遅延装置4、40、45の比較的にコンパクトな構造は、システムクロックc 1の時間分解能が結合される干渉信号の縁部ではなく、各タップだけ依存することを確実にするために重要である。最小の量子化ステップ、従って位相差の微細構造 Δt および $\Delta \phi$ は、基準クロックb 1の周期Tと比較して非常に小さくなければならない。本発明の目的を達成するために、位相シフトが干渉信号ではなくランダム数のみに従い、強調信号として雑音スペクト

ルに現れることが必要である。

【0023】図5は、位相をロックされた電流パルスi 1のスペクトルF (i 1)を概略的に示す。それは基準クロックb 1の周波数f 1で始まり、f 1の複数の周波数の倍数に亘って延在する別々のスペクトルラインを含む。スペクトルラインの振幅は、周波数の増加に伴って減少する。フーリエの法則によると、これはマークノースペース比と電流パルスの縁部の急峻さとによって決まる。この相互依存性は減少量に影響を及ぼす矢印f (i)として概略的に示される。仮定された周波数の範囲f bにおいて、スペクトル成分の振幅は依然として比較的大きく、その結果この周波数範囲において干渉信号をピックアップできる他の電子装置の動作は悪影響を受けるであろう。

【0024】図6は、本発明に従って位相をシフトされる電流のパルスi 2の雑音スペクトルF (i 2)を概略的に示す。周波数の範囲k 1において、基準クロックf 1の倍数で生じるシステムクロックc 1の周波数の倍数における減少は、図5の例のものよりも著しく大きいことが認められる。周波数範囲k 2において、周波数範囲k 1のスペクトルは周波数f wで回帰し、このスペクトルは一層高い周波数および一層低い周波数へ向って対称的に延在する。項目1において上で説明されたように、この周波数f wの位置は、逆遅延f wの最小公倍数、即ち最小の遅延ステップ Δt によって決まる。この周波数f w、従って全周波数範囲k 2は臨界的な周波数の範囲f bが最早影響を受けないように非常に高くなればならない。

【0025】上で説明された相互依存性の項目2によると、周波数範囲k 1、および周波数範囲k 2の高調波の減衰は、基準クロックb 1の期間Tに対する最長の遅延T g / 2の比によって決まる。その比が十分に大きい場合、基準クロックの周波数f 1に位置する基本振幅は、均一の雑音レベルp nにおいて現れるであろう。明瞭にするために、この状態は図6に示されていない。

【0026】本発明によると、干渉スペクトルの全エネルギーは、周波数範囲k 1、k 2、およびk 3内にある複数の周波数に可能な限り均等に分配される。個々の成分の振幅は均一の雑音レベルp nを形成し、そのエンベロープは図6において鎖線p nで概略的に示される。スペクトルラインが一層接近した間隔になるとエネルギーはより多くの数のスペクトル成分に分配できるので、雑音レベルp nはより低くなる。上記の項目3に基く、スペクトルラインの密度は、基準クロックb 1の周期Tに対して偽ランダムシーケンスの時間的な長さT nによって決定される。偽ランダムシーケンスの回帰速度は、周波数範囲0乃至f wのスペクトルラインの数、およびこれらのスペクトルラインの密度を決定する。

【0027】数学的なシミュレーションによって、クロック発生器t gの個々の回路のパラメータを変更して雑

9

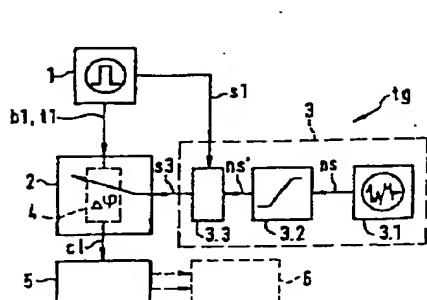
音スペクトルF (i 2) および有効信号範囲 f_b への効果を容易に調べることができる。従って、所望の干渉抑制を与える最良の回路のパラメータを見付けることができる。特に、クロック発生器がデジタル回路として主として構成されるならば、実際の干渉抑制とシミュレーションとの間の相似度は非常に高い。

【図面の簡単な説明】

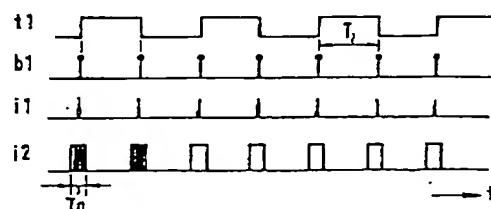
【図1】本発明のクロック発生器のブロック図。

【図2】複数のクロック期間におけるクロック信号と電

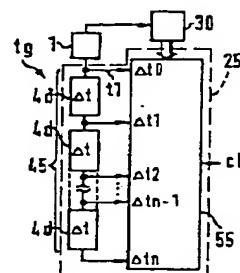
〔圖1〕



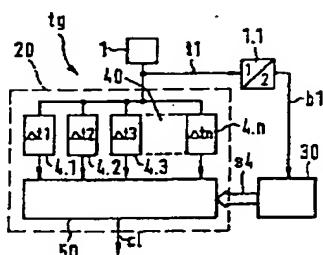
【 2】



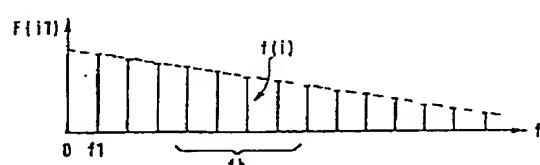
〔图4〕



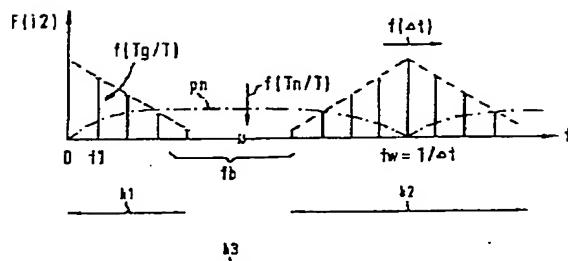
(图3)



[图 5]



[图 6]



フロントページの続き

(72)発明者 アンドレアス・メンクホップ
ドイツ連邦共和国、デー - 79098 フ
ライブルク、レーオポルトリング 7

(72)発明者 ウルリヒ・テウス
ドイツ連邦共和国、デー - 79194 グ
ンデルフィンゲン、シェーンベルクシュト
ラーセ 5 ベー

